

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 1月 6日

出 願 番 号

Application Number:

特願2000-001054

出 願 人

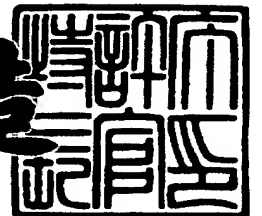
Applicant (s):

株式会社東芝

2000年11月 6日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2000-3091986

【書類名】 特許願

【整理番号】 A009907036

【提出日】 平成12年 1月 6日

【あて先】 特許庁長官 殿

【国際特許分類】 G02F 1/13

【発明の名称】 表示装置の検査方法

【請求項の数】 10

【発明者】

 【住所又は居所】 埼玉県深谷市幡羅町1丁目9番2号 株式会社東芝深谷工場内

 【氏名】 松永 郁夫

【発明者】

 【住所又は居所】 埼玉県深谷市幡羅町1丁目9番2号 株式会社東芝深谷工場内

 【氏名】 渡辺 良一

【発明者】

 【住所又は居所】 埼玉県深谷市幡羅町1丁目9番2号 株式会社東芝深谷工場内

 【氏名】 清水 正寛

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100058479

 【弁理士】

 【氏名又は名称】 鈴江 武彦

 【電話番号】 03-3502-3181

【選任した代理人】

 【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

特 2 0 0 0 - 0 0 1 0 5 4

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示装置の検査方法

【特許請求の範囲】

【請求項 1】

基板上に互いに直交して配列された複数のゲート線及び複数の信号線と、ゲート線と信号線とのそれぞれの交差部に配置されたトランジスタと、各トランジスタに電氣的に接続された画素電極と、駆動 IC から出力されたアナログ信号が入力される複数の入力端子と、各前記入力端子から入力されたアナログ信号を対応する複数の信号線からなる信号線群の少なくとも一つの信号線に順次振り分ける選択手段と、を備えたアレイ基板を有する表示装置の検査方法において、

前記入力端子に検査用回路のプロープを電氣的に接続し、

複数の前記信号線群のうちの一信号線を選択する第 1 信号線選択期間において、前記一信号線にアナログ信号を書き込み、

前記第 1 信号線選択期間に続くタイミングで、前記信号線群のうちの他の一信号線を選択する第 2 信号線選択期間において、前記他の一信号線からアナログ信号を読み取り、

読み取ったアナログ信号に基づいて、前記一信号線と前記他の一信号線との間の短絡を検査する、

ことを特徴とする表示装置の検査方法。

【請求項 2】

前記検査用回路は、前記第 1 信号線選択期間において、前記選択手段に対して前記一信号線を選択する選択信号を出力するとともに、前記第 2 信号線選択期間において、前記選択手段に対して前記他の一信号線を選択する選択信号を出力することを特徴とする請求項 1 に記載の表示装置の検査方法。

【請求項 3】

前記一信号線及び前記他の一信号線は、同一の選択手段によって選択され、一入力端子を介してアナログ信号の書き込み及び読み取りを行うことを特徴とする請求項 1 に記載の表示装置の検査方法。

【請求項 4】

前記一信号線及び前記他の一信号線は、異なる選択手段によって選択され、それぞれの選択手段に接続された入力端子を介してアナログ信号の書き込み及び読み取りを行うことを特徴とする請求項 1 に記載の表示装置の検査方法。

【請求項 5】

基板上に互いに直交して配列された複数のゲート線及び複数の信号線と、ゲート線と信号線とのそれぞれの交差部に配置されたトランジスタと、各トランジスタに電氣的に接続された画素電極と、駆動 IC から出力されたアナログ信号が入力される複数の入力端子と、各前記入力端子から入力されたアナログ信号を対応する複数の信号線からなる信号線群の少なくとも一つの信号線に順次振り分ける選択手段と、前記信号線群のうちの二信号線と他の二信号線との導通を ON/OFF する切換手段と、を備えたアレイ基板を有する表示装置の検査方法において

前記入力端子に検査用回路のプロープを接続し、

前記一信号線と前記他の二信号線とを導通し、

前記一信号線を選択する第 1 信号線選択期間において、前記一信号線にアナログ信号を書き込み、

前記第 1 信号線選択期間に続くタイミングで、前記他の二信号線を選択する第 2 信号線選択期間において、前記他の二信号線からアナログ信号を読み取り、

読み取ったアナログ信号に基づいて、前記一信号線及び前記他の二信号線の断線を検査する、

ことを特徴とする表示装置の検査方法。

【請求項 6】

前記検査用回路は、前記切換手段に対して前記一信号線と前記他の二信号線とを導通する制御信号を出力し、前記第 1 信号線選択期間において、前記選択手段に対して前記一信号線を選択する選択信号を出力するとともに、前記第 2 信号線選択期間において、前記選択手段に対して前記他の二信号線を選択する選択信号線を出力することを特徴とする請求項 5 に記載の表示装置の検査方法。

【請求項 7】

前記一信号線及び前記他の二信号線は、同一の切換手段によって ON/OFF

が制御されるとともに同一の選択手段によって選択され、一入力端子を介してアナログ信号の書き込み及び読み取りを行うことを特徴とする請求項 5 に記載の表示装置の検査方法。

【請求項 8】

前記表示装置は、前記信号線にアナログ映像信号を出力する駆動 IC と、前記選択手段とによって構成される信号線駆動手段を備え、

前記駆動 IC は、入力されるデジタル信号をアナログ信号に変換すると共に、前記信号線を所定数の信号線から成る複数の信号線群に区分し、各前記信号線群毎に対応するアナログ信号をシリアルに出力し、

前記選択手段は、前記駆動 IC からのシリアルアナログ信号を各前記信号線群の対応する信号線に順次振り分ける、

ことを特徴とする請求項 1 または 5 に記載の表示装置の検査方法。

【請求項 9】

前記駆動 IC は、フレキシブル配線基板上に実装されて前記アレイ基板に電氣的に接続されることを特徴とする請求項 8 に記載の表示装置の検査方法。

【請求項 10】

前記アレイ基板は、前記ゲート線に駆動信号を供給するゲート線駆動手段を一体的に含むことを特徴とする請求項 1 または 5 に記載の表示装置の検査方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、表示装置の検査方法に係り、特に、外部回路との接続数が低減できる表示装置の検査方法に関する。

【0002】

【従来の技術】

表示装置、たとえば多結晶シリコン TFT を用いた液晶表示装置では、駆動回路としての信号線駆動用回路の一部及びゲート線駆動用回路をアレイ基板上に一体的に形成することができる。この場合、基板外部にも信号線駆動回路の一部、例えばデジタル・アナログ変換回路 (DAC) が設けられるが、アモルファス

シリコン T F T を用いた液晶表示装置と比較して、アレイ基板との接続配線の数
を大幅に減少できる。

【 0 0 0 3 】

上述したような表示装置において、隣接する信号線間の短絡を検査する場合には、
各信号線に検査用のパッドを設け、このパッドに検査用回路のプロープを接
続し、隣接する信号線間の導通を検査し、両信号線が導通した場合に信号線間の
短絡を検出する。

【 0 0 0 4 】

また、上述したような表示装置において、信号線の断線を検査する場合には、
各信号線の両端に検査用のパッドを設け、両パッドに検査用回路のプロープを接
続し、信号線の導通を検査し、信号線が導通しなかった場合に断線を検出する。

【 0 0 0 5 】

【発明が解決しようとする課題】

しかしながら、信号線間の短絡を検査するために信号線と同数の検査用のパッ
ドが必要となるだけでなく、パッドの数に対応した数の検査用プロープも必要と
なる。また、信号線の断線を検査するために信号線数の 2 倍の数の検査用パッド
が必要となるだけでなく、パッドの数に対応した数の検査用プロープも必要とな
る。

【 0 0 0 6 】

このように、数多くの検査用プロープが必要となることから、検査用回路のコ
ストが増大するとともに、メンテナンスが煩雑となるといった問題が発生する。

【 0 0 0 7 】

また、画素の高精細化に伴って信号線数が増大した場合、検査用パッドを配置
するスペースを確保することが困難となり、多結晶シリコン T F T を用いる利点
が少なくなる。

【 0 0 0 8 】

この発明は、上述した問題点に鑑みなされたものであって、その目的は、画素
の高精細化が可能な表示装置の短絡及び断線を検査する検査方法であって、検査
用回路のコストをアップすることなくメンテナンスが容易な表示装置の検査方法

を提供することにある。

【 0 0 0 9 】

【課題を解決するための手段】

上記課題を解決し目的を達成するために、

請求項 1 に記載の表示装置の検査方法は、

基板上に互いに直交して配列された複数のゲート線及び複数の信号線と、ゲート線と信号線とのそれぞれの交差部に配置されたトランジスタと、各トランジスタに電氣的に接続された画素電極と、駆動 IC から出力されたアナログ信号が入力される複数の入力端子と、各前記入力端子から入力されたアナログ信号を対応する複数の信号線からなる信号線群の少なくとも一つの信号線に順次振り分ける選択手段と、を備えたアレイ基板を有する表示装置の検査方法において、

前記入力端子に検査用回路のプロープを電氣的に接続し、

複数の前記信号線群のうちの一信号線を選択する第 1 信号線選択期間において、前記一信号線にアナログ信号を書き込み、

前記第 1 信号線選択期間に続くタイミングで、前記信号線群のうちの他の一信号線を選択する第 2 信号線選択期間において、前記他の一信号線からアナログ信号を読み取り、

読み取ったアナログ信号に基づいて、前記一信号線と前記他の一信号線との間の短絡を検査する、

ことを特徴とする。

【 0 0 1 0 】

また、請求項 5 に記載の表示装置の検査方法は、

基板上に互いに直交して配列された複数のゲート線及び複数の信号線と、ゲート線と信号線とのそれぞれの交差部に配置されたトランジスタと、各トランジスタに電氣的に接続された画素電極と、駆動 IC から出力されたアナログ信号が入力される複数の入力端子と、各前記入力端子から入力されたアナログ信号を対応する複数の信号線からなる信号線群の少なくとも一つの信号線に順次振り分ける選択手段と、前記信号線群のうちの一信号線と他の一信号線との導通を ON / OFF する切換手段と、を備えたアレイ基板を有する表示装置の検査方法において

前記入力端子に検査用回路のプロープを接続し、

前記一信号線と前記他の一信号線とを導通し、

前記一信号線を選択する第 1 信号線選択期間において、前記一信号線にアナログ信号を書き込み、

前記第 1 信号線選択期間に続くタイミングで、前記他の一信号線を選択する第 2 信号線選択期間において、前記他の一信号線からアナログ信号を読み取り、

読み取ったアナログ信号に基づいて、前記一信号線及び前記他の一信号線の断線を検査する、

ことを特徴とする。

【 0 0 1 1 】

【発明の実施の形態】

以下、この発明の表示装置の検査方法、すなわち多結晶シリコン T F T を画素 T F T として用い有効表示領域が対角 1 5 インチサイズの光透過型液晶表示装置に適用される信号線の短絡及び断線の検査方法に係る一実施の形態について図面を参照して説明する。

【 0 0 1 2 】

図 1 に示すように、この液晶表示装置 1 は、アレイ基板 1 0 0 と、このアレイ基板 1 0 0 に対して所定の間隔をおいて対向配置された対向基板 2 0 0 と、これらアレイ基板 1 0 0 と対向基板 2 0 0 との間に挟持され配向膜（図示せず）を介して配置される液晶層 3 0 0 とを備えている。アレイ基板 1 0 0 と対向基板 2 0 0 とは、その周辺に配置されるシール材 4 0 0 によって貼り合わせられている。

【 0 0 1 3 】

アレイ基板 1 0 0 は、行方向に沿って延出された複数のゲート線 Y と、列方向に沿って延出された複数の信号線 X と、ゲート線 Y と信号線 X との各交差部に設けられたスイッチング素子としての画素薄膜トランジスタすなわち画素 T F T 1 1 0 と、ゲート線 Y と信号線 X とによって囲まれた各画素に対応して設けられた画素電極 1 2 0 と、を備えている。

【 0 0 1 4 】

画素TFT110は、多結晶シリコン膜を半導体層とする多結晶シリコンTFTである。画素TFT110のゲート電極は、ゲート線Yに接続されているとともに、ソース電極は、信号線Xに接続されている。また、画素TFT110のドレイン電極は、画素電極120及びこの画素電極120と並列に補助容量素子130を構成する一方の電極に接続されている。

【0015】

ゲート線Yを駆動するための駆動信号を出力するゲート線駆動手段として機能するゲート線駆動回路150は、画素TFT110と同一プロセスでアレイ基板100上に一体的に形成されている。

【0016】

信号線Xを駆動するための駆動信号を出力する信号線駆動回路部160は、フレキシブル配線基板上に信号線駆動用IC511が実装され、アレイ基板100と電氣的に接続されるTCP500-1、500-2…、500-6と、アレイ基板100上に画素TFT110と同一プロセスで形成された選択手段として機能する選択回路170とによって構成される。

【0017】

TCP500-1～6は、アレイ基板100の一辺に列設され、外部回路基板としてのPCB基板600に接続されている。このPCB基板600には、外部から入力される基準クロック信号及びデジタル方式のデータ信号に基づいて、各種制御信号及び制御信号に同期したデータ信号を出力する制御IC、電源回路などが実装されている。

【0018】

TCP500-Nは、図2に示すように、PCB基板600に形成された接続配線上の接続端子に接続されるPCB側パッド513と、アレイ基板100に形成された接続配線上の接続端子に接続されるアレイ側パッド515と、これらのパッド間を接続する各種配線とを備えている。これらのPCB側パッド513及びアレイ側パッド515は、異方性導電フィルム(ACF)を介してそれぞれPCB基板600及びアレイ基板100に電氣的に接続されている。

【0019】

信号線駆動回路部 1 6 0 の信号線駆動用 I C 5 1 1 は、P C B 基板 6 0 0 から
の入力信号に基づいて、データ信号をアナログ方式の映像信号として出力する。

【 0 0 2 0 】

すなわち、図 3 に示すように、信号線駆動用 I C 5 1 1 は、シフトレジスタ 5
2 1、データレジスタ 5 2 3、D / A コンバータ 5 2 5 などから構成されている
。シフトレジスタ 5 2 1 には、P C B 基板 6 0 0 側からクロック信号及び制御信
号が入力される。データレジスタ 5 2 3 には、P C B 基板 6 0 0 側からデータ信
号が入力される。また、D / A コンバータ 5 2 5 には、P C B 基板 6 0 0 側から
基準信号が入力され、入力されたデータ信号がアナログ映像信号に変換される。

【 0 0 2 1 】

T C P - N の信号線駆動用 I C 5 1 1 から出力される各アナログ映像信号は、
各水平走査期間毎に 2 つの信号線に対応したアナログ映像信号を含み、これを時
系列に出力し、これがアレイ基板 1 0 0 上に形成された信号線駆動回路部 1 6 0
の選択回路 1 7 0 に入力される。

【 0 0 2 2 】

選択回路 1 7 0 は、信号線駆動用 I C 5 1 1 からの配線に接続され、信号線駆
動用 I C 5 1 1 からの各シリアルアナログ映像信号が出力される出力端子 O U T
1、O U T 2 …と、信号線 X 1、X 2 …の一端に設けられた入力端子 1 A 及び 1
B、2 A 及び 2 B …とを選択的に接続するスイッチ S W 1、S W 2 …を備えてお
り、これにより各水平走査期間で信号線駆動用 I C 5 1 1 からの 2 つの隣接する
信号線に対応するシリアルな各アナログ映像信号は、後述するように隣接する 2
つの信号線に順次振り分けられる。

【 0 0 2 3 】

この実施の形態では、出力端子 O U T の数は、信号線 X の数の半分であり、1
出力端子から 2 本の信号線に対して順次駆動信号を出力している。更に接続数を
低減するのであれば、出力端子 O U T の数を信号線 X の数の $1 / 3$ あるいは $1 / 4$
等にもすることは可能である。

【 0 0 2 4 】

そして、例えば、スイッチ S W 1 は、スイッチ信号に基づいて、1 水平走査期

間内に、出力端子OUT 1と、信号線X 1及びX 2の入力端子1 A及び1 Bとをそれぞれ所定のタイミングで順次接続する。スイッチSW 1は、スイッチ信号がONのタイミングで出力端子OUT 1と入力端子1 Aとを接続し、スイッチ信号がOFFのタイミングで出力端子OUT 1と入力端子1 Bとを接続する。

【0025】

スイッチSW 2も同様に、1水平走査期間内に、出力端子OUT 2と、信号線X 3及びX 4の入力端子2 A及び2 Bとをそれぞれ所定のタイミングで接続する。スイッチSW 2は、スイッチ信号がONのタイミングで出力端子OUT 2と入力端子2 Bとを接続し、スイッチ信号がOFFのタイミングで出力端子OUT 2と入力端子2 Bとを接続する。

【0026】

このように、ゲート線駆動回路を基板上に一体的に形成し、信号線駆動回路を基板上に一体的に形成した選択回路とTCP上に実装された信号線駆動用ICとで構成し、1水平走査期間内に、選択回路のスイッチが複数の信号線に順次駆動信号を出力することにより、画素を高精細化してもアレイ基板上に形成される接続配線の本数を信号線の本数分に対応して形成する必要がなくなり、接続配線間のピッチを十分に確保できる。

【0027】

また、ゲート線駆動回路及び信号線駆動回路をすべて基板上に形成する場合と比較して、配線長が長くなることを防止することができ、データ信号、あるいは映像信号の劣化を防止できるとともに、製造コストの増大を防止できる。

【0028】

次に、各信号線Xの駆動方法、すなわち各信号線から各画素へのアナログ映像信号の書き込み方法の一例について説明する。

【0029】

ここで、たとえば1水平走査期間の前半に入力端子1 A、後半に入力端子1 Bにそれぞれ接続された隣接する一对の信号線X 1及びX 2からなる信号線群に順次に映像信号の書き込みを行う場合について説明する。

【0030】

まず、1 水平走査期間の前半に、スイッチ S W 1 が入力端子 1 A に接続され、信号線 X 1 にアナログ映像信号が書き込まれる。信号線 X 1 にアナログ映像信号が保持されている状態で、1 水平周期の後半に、スイッチ S W 1 が入力端子 1 B に接続され、信号線 X 2 にアナログ映像信号が書き込まれる。

【 0 0 3 1 】

この際、信号線 X 1 は、信号線 X 2 の電位変化に伴い、信号線同士の結合容量によって、電位の変化が生じてしまう。その結果、信号線 X 1 では、本来、書き込まれるべきアナログ映像信号に基づく電位と異なる電位に変動し、表示上、問題が生じる恐れがある。

【 0 0 3 2 】

たとえば、1 垂直走査期間毎に信号線に書き込まれる映像信号の極性（コモン電位に対する電位）すなわち正負を切り替え、また隣接する信号線に正負が反転する映像信号が書き込まれる V ライン反転駆動の場合、一様画面を表示させる、たとえば電圧を印加して黒表示をする場合、コモン電位を 5 V とすれば、正側は 9 V、負側は 1 V の電圧を印加することとなる。

【 0 0 3 3 】

先の問題が生じた場合、信号線 X 1 が 9 V の電位を書き込まれた後、隣接する信号線 X 2 に 1 V を書き込むが、信号線 X 1 の電位が信号線 X 2 の電位変動により 9 V の電位が 5 V に近づく方向に変化することになる。すなわち、黒のレベルが変化し、変動が大きい場合には、縦に階調の異なる縞が見えてしまうことにつながり、表示装置としての機能に重大な支障が生じる。

【 0 0 3 4 】

そこで、この実施の形態では、信号線への書き込み順序を所定の垂直走査期間及び水平走査期間の少なくとも一方毎に変えることにより、電位変動を生じた画素を時間的あるいは空間的に分散し、これによって、表示画面の階調変動を視認しづらくする。

【 0 0 3 5 】

すなわち、図 4 に示すように、n フレームにおいて、スイッチ S W 1 には、1 水平走査期間の前半で O N となり、後半で O F F となるスイッチ信号が入力され

る。これにより、出力端子OUT 1は、1水平走査期間の前半に入力端子1 Aに接続され、後半に入力端子1 Bに接続される。また、スイッチSW 2には、1水平走査期間の前半でOFFとなり、後半でONとなるスイッチ信号が入力される。これにより、出力端子OUT 2は、1水平走査期間の前半に入力端子2 Bに接続され、後半に入力端子2 Aに接続される。

【0036】

出力端子OUT 1から出力される出力信号は、1水平走査期間の前半及び後半で反転し、前半には、接続された入力端子1 Aを介して信号線X 1に正の映像信号を書き込み、後半には、接続された入力端子1 Bを介して信号線X 2に負の映像信号を書き込む。

【0037】

出力端子OUT 2から出力される出力信号は、1水平走査期間の前半及び後半で反転し、前半には、接続された入力端子2 Bを介して信号線X 4に負の映像信号を書き込み、後半には、接続された入力端子2 Aを介して信号線X 3に正の映像信号を書き込む。

【0038】

これにより、画素1には、1水平走査期間の前半から正の映像信号が書き込まれ、画素2には、後半から負の映像信号が書き込まれることになる。また、画素3には、1水平走査期間の後半から正の映像信号が書き込まれ、画素4には、前半から負の映像信号が書き込まれることになる。

【0039】

このとき、隣接する画素の書き込み電位の影響により、1水平走査期間の前半に書き込まれた電位が変動する。すなわち、画素1では、画素2に電位が書き込まれた影響により、書き込み時の9 Vからわずかに低下し、また、画素4では、画素3に電位が書き込まれた影響により、書き込み時の1 Vからわずかに上昇する。

【0040】

続いて、図5に示すように、 $(n+1)$ フレームにおいて、スイッチSW 1には、1水平走査期間の前半でOFFとなり、後半でONとなるスイッチ信号が入

力される。これにより、出力端子OUT 1は、1水平走査期間の前半に入力端子1 Bに接続され、後半に入力端子1 Aに接続される。また、スイッチSW 2には、1水平走査期間の前半でONとなり、後半でOFFとなるスイッチ信号が入力される。これにより、出力端子OUT 2は、1水平走査期間の前半に入力端子2 Aに接続され、後半に入力端子2 Bに接続される。

【0041】

出力端子OUT 1から出力される出力信号は、1水平走査期間の前半及び後半で反転し、前半には、接続された入力端子1 Bを介して信号線X 2に正の映像信号を書き込み、後半には、接続された入力端子1 Aを介して信号線X 1に負の映像信号を書き込む。

【0042】

出力端子OUT 2から出力される出力信号は、1水平走査期間の前半及び後半で反転し、前半には、接続された入力端子2 Aを介して信号線X 3に負の映像信号を書き込み、後半には、接続された入力端子2 Bを介して信号線X 4に正の映像信号を書き込む。

【0043】

これにより、画素1には、1水平走査期間の後半から負の映像信号が書き込まれ、画素2には、前半から正の映像信号が書き込まれることになる。また、画素3には、1水平走査期間の前半から負の映像信号が書き込まれ、画素4には、後半から正の映像信号が書き込まれることになる。

【0044】

このとき、画素2では、画素1に電位が書き込まれた影響により、書き込み時の9 Vからわずかに低下し、また、画素3では、画素4に電位が書き込まれた影響により、書き込み時の1 Vからわずかに上昇する。

【0045】

このように、nフレームにおいて、画素1及び画素4の電位がそれぞれコモン電位に近い方向にずれ、画素2及び画素3と比較して、黒レベルが薄くなる。また、(n+1)フレームにおいて、画素2及び画素3の電位がそれぞれコモン電位に近い方向にずれ、画素1及び画素4と比較して、黒レベルが薄くなる。

【 0 0 4 6 】

表示画面上の他の部分についても同様に動作するため、この場合、信号線 X 1 に接続された画素列及び信号線 X 2 に接続された画素列、あるいは、信号線 X 3 に接続された画素列及び信号線 X 4 に接続された画素列の黒レベルが交互に薄くなる。この結果、表示画面全体として、表示が薄くなる部分が平均化されることになり、電位変動の影響による表示の変動を視認しづらくすることが可能となる。なお、上記の電位変動を考慮して書き込まれる電位を予め補償しておくことは有効である。

【 0 0 4 7 】

したがって、信号線駆動用 I C の出力端子数が信号線の本数より少ないため、信号線駆動用 I C の個数を低減することが可能となり、コストを低減できるとともに、信号線駆動用 I C の個数を低減しても、画面の表示品位を低下させることなく表示させることが可能となる。

【 0 0 4 8 】

上述した実施の形態では、信号線の選択周期を 1 垂直走査期間毎としたが、1 水平走査期間毎でも同様の作用が生じ、電位が変動する画素を市松状に分散することができる。また、1 水平走査期間毎且つ 1 垂直走査期間毎に信号線の選択周期を変更しても良い。この場合、市松状の配列が垂直走査期間毎に入れ替わることになり、一層電位変動を生じた画素を平均化できる。

【 0 0 4 9 】

同様に、信号線の選択周期を 1 水平走査期間や 1 垂直走査期間に限らず、複数周期で実行しても良い。例えば、信号線の選択周期を 1 水平走査期間毎且つ 2 垂直走査期間毎に変更しても良い。すなわち、上述した実施の形態では、ある画素に注目した場合、電位変動が特定の極性の映像信号を書き込む際に生じるという偏りがあったが、この場合には、極性に関しても順に入れ替わるため、偏りの発生を抑制できる。

【 0 0 5 0 】

上述した実施の形態では、図 1 に示した T C P 5 0 0 - 1 ~ 6 は、すべて同一であり、図 2 に示したように構成されている。すなわち、各 T C P 5 0 0 - N の

P C B パッド 5 1 3 及びアレイパッド 5 1 5 に対応した P C B 基板 6 0 0 上及びアレイ基板 1 0 0 上の接続配線数及び接続配線間のピッチは、それぞれ同一である。

【 0 0 5 1 】

この T C P 5 0 0 - N は、信号線駆動用 I C 5 1 1 に P C B 基板 6 0 0 からの入力信号に対応して設けられた入力信号用配線群 5 3 1、信号線駆動用 I C 5 1 1 からの出力信号に対応して設けられた出力信号用配線群 5 3 3、液晶表示装置用の電源配線、選択回路 1 7 0 のスイッチ S W 用の電源配線及びスイッチ信号（制御信号）用配線などの各種配線群 5 3 5 および 5 3 7 を備えている。

【 0 0 5 2 】

図 2 に示すように、信号線駆動用 I C 5 1 1 への入力信号用配線群 5 3 1 及び出力信号用配線群 5 3 3 は、略等しい本数に分配された各種配線群 5 3 5 と 5 3 7 との間に配置されている。

【 0 0 5 3 】

アレイ基板 1 0 0 の両端に配置された T C P 5 0 0 - 1 及び 5 0 0 - 6 は、アレイ基板 1 0 0 の両端に設けられたゲート線駆動回路 1 5 0 に対応して、各種配線群 5 3 5 及び 5 3 7 に、ゲート線駆動回路 1 5 0 用の電源配線及び制御信号用配線を備えている。もちろん、ゲート線駆動回路 1 5 0 がアレイ基板の一端のみに設けられた場合には、これに対応して一方の T C P 5 0 0 - 1 または 5 0 0 - 6 のみに、ゲート線駆動回路 1 5 0 用の電源配線及び制御信号用配線を備えればよい。

【 0 0 5 4 】

このように、T C P 上にゲート線駆動回路用の電源配線及び制御信号用配線や、選択回路のスイッチ用の電源配線及びスイッチ信号用配線、液晶表示装置用の電源配線などを、信号線駆動用 I C の入出力信号用配線とともに形成することにより、別途の配線部材を用意する必要がなくなり、コストを低減することが可能となる。

【 0 0 5 5 】

なお、上述した実施の形態では、T C P 5 0 0 - 1 ～ 6 をすべて同一としたが

、TCP500-1及び500-6と、TCP500-2～500-5とを異なる構成としてもよい。すなわち、TCP500-2～500-5のレイパッド515に対応したレイ基板100上の接続配線数は、TCP500-1及び500-6に比べて少ない。このため、TCP500-2～500-5は、接続配線間のピッチをより拡大できる。

【0056】

より具体的には、TCP500-1及び500-6は、図2に示すような構造であって、信号線駆動用IC511にPCB基板600からの入力信号に対応して設けられた入力信号用配線群531、信号線駆動用IC511からの出力信号に対応して設けられた出力信号用配線群533、液晶表示装置用の電源配線、選択回路170のスイッチSW用の電源配線及びスイッチ信号（制御信号）用配線、ゲート線駆動回路150用の電源配線及び制御信号用配線などの各種配線群535および537を備えている。

【0057】

図2に示すように、信号線駆動用IC511への入力信号用配線群531及び出力信号用配線群533は、略等しい本数に分配された各種配線群535と537との間に配置されている。

【0058】

TCP500-2～500-5は、図6に示すような構造であって、信号線駆動用IC511にPCB基板600からの入力信号に対応して設けられた入力信号用配線群531、信号線駆動用IC511からの出力信号に対応して設けられた出力信号用配線群533、液晶表示装置用の電源配線、選択回路170のスイッチSW用の電源配線及びスイッチ信号（制御信号）用配線などの各種配線群541および543を備えている。

【0059】

図6に示すように、信号線駆動用IC511への入力信号用配線群531及び出力信号用配線群533は、略等しい本数に分配された各種配線群541と543との間に配置されている。

【0060】

図2に示したTCPにおける各種配線群535及び537の本数は、20～40本程度であるのに対して、図6に示したTCPにおける各種配線群541及び543の本数は、5～20本程度である。

【0061】

図7に示すように、アレイ基板100の一端側に、TCP500-1が接続される。アレイ基板100は、その一辺に沿って、TCP500-1のアレイパッド515が接続される接続パッド群PDを備えている。これらの接続パッド群PDの中央部には、信号線駆動用IC511からの出力信号、スイッチ信号、スイッチの電源を選択回路170に入力するためのパッドが設けられている。

【0062】

接続パッド群PDの一端側には、主にゲート線駆動回路150に電源及び制御信号を入力するためのパッドが設けられている。これらのパッドから供給される制御信号としては、例えば、ゲート線駆動回路150がシフトレジスタで構成されている場合、クロック信号やスタート信号、リセット信号などである。また、これらのパッドからは、必要に応じて液晶表示装置の電源が供給されても良い。

【0063】

図8に示すように、アレイ基板100の一辺に沿った中央部には、TCP500-2～500-5が接続される。アレイ基板100は、その一辺に沿って、TCP500-2～500-5のアレイパッド515が接続される接続パッド群PDを備えている。これらの接続パッド群PDには、信号線駆動用IC511からの出力信号、スイッチ信号、スイッチの電源を選択回路170に入力するためのパッドが設けられている。

【0064】

図9に示すように、アレイ基板100の他端側に、TCP500-6が接続される。アレイ基板100は、その一辺に沿って、TCP500-6のアレイパッド515が接続される接続パッド群PDを備えている。これらの接続パッド群PDの中央部には、信号線駆動用IC511からの出力信号、スイッチ信号、スイッチの電源を選択回路170に入力するためのパッドが設けられている。

【0065】

接続パッド群PDの他端側には、主にゲート線駆動回路150に電源及び制御信号を入力するためのパッドが設けられている。また、これらのパッドからは、必要に応じて液晶表示装置の電源が供給されても良い。

【0066】

以上の構成により、TCP500-2～500-5は、信号線駆動ICからの出力信号が入力される配線その他、選択回路170のスイッチSW用の電源及びスイッチ信号を入力するための配線のみで良く、TCP500-1及び500-6と比べて接続すべき配線の数削減することができる。このため、各配線の一端に設けられたパッドのピッチを拡大することができる。これにより、信頼性を損なうことなく、高精細化を図ることが可能である。

【0067】

次に、上述したような表示装置において、アレイ基板100の信号線X（1、2、3…）の短絡を検査する検査方法について説明する。

【0068】

図10及び図11に示すように、まず、アレイ基板100に検査用回路900を接続する。この検査用回路900は、内部の各回路やスイッチを制御するCPU901と、信号線にアナログ信号を書き込む書込回路902と、信号線から出力される信号を読み取る読取回路903と、書込回路902と読取回路903とを選択する第1スイッチ904と、接続パッドPD（1、2、3…）にそれぞれ接続されるプローブPR（1、2、3…）と、プローブPRを選択する第2スイッチ905とを備えている。

【0069】

CPU901は、書込回路902、読取回路903、第1スイッチ904、第2スイッチ905、及びアレイ基板100の選択回路170に対してそれぞれ所定のタイミングで制御信号を出力する。

【0070】

まず、互いに隣接する第1信号線X1と第2信号線X2との短絡を検査する検査方法について説明する。これら第1信号線X1及び第2信号線X2は、選択回路170の同一スイッチSW1によって選択され、同一の接続パッドPD1を介

してアナログ信号の書き込み及び読み取りを行う。

【0071】

すなわち、第1信号線X1を選択する第1信号線選択期間において、CPU901は、図10に示すように、第1スイッチ904に対して、書込回路902を選択するような制御信号を出力するとともに、第2スイッチ905に対して、接続パッドPD1に接続されたプローブPR1を選択するような制御信号を出力する。また、このとき、CPU901は、選択回路170に対して、スイッチSW1の出力端子OUT1を第1信号線X1の入力端子1Aに接続するような制御信号を出力する。

【0072】

このような第1信号線選択期間において、CPU901は、書込回路902を制御して第1信号線X1に所定のアナログ信号を書き込む。

【0073】

続いて、第1信号線X1に隣接する第2信号線X2を選択する第2信号線選択期間において、CPU901は、図11に示すように、第1スイッチ904に対して、読取回路903を選択するような制御信号を出力するとともに、第2スイッチ905に対して、接続パッドPD1に接続されたプローブPR1を選択するような制御信号を出力する。また、このとき、CPU901は、選択回路170に対して、スイッチSW1の出力端子OUT1を第2信号線X2の入力端子1Bに接続するような制御信号を出力する。

【0074】

このような第2信号線選択期間において、CPU901は、読取回路903を制御して第2信号線X2からの出力信号を読み取る。

【0075】

CPU901は、第2信号線X2から所定のアナログ信号を検出した場合に、第1信号線X1と第2信号線X2とが短絡していると判断し、第2信号線X2から信号を検出なかった場合に、第1信号線X1と第2信号線X2との間に短絡が生じていないものと判断する。

【0076】

次に、互いに隣接する第2信号線X2と第3信号線X3との短絡を検査する検査方法について説明する。これら第2信号線X2及び第3信号線X3は、それぞれ選択回路170の異なるスイッチ、すなわちスイッチSW1及びSW2によって選択され、それぞれのスイッチSW1及びSW2に接続された接続パッドPD1及びPD2を介してアナログ信号の書き込み及び読み取りを行う。

【0077】

すなわち、第2信号線X2を選択する第2信号線選択期間において、CPU901は、第1スイッチ904に対して、書込回路902を選択するような制御信号を出力するとともに、第2スイッチ905に対して、接続パッドPD1に接続されたプローブPR1を選択するような制御信号を出力する。また、このとき、CPU901は、選択回路170に対して、スイッチSW1の出力端子OUT1を第2信号線X2の入力端子1Bに接続するような制御信号を出力する。

【0078】

このような第2信号線選択期間において、CPU901は、書込回路902を制御して第2信号線X2に所定のアナログ信号を書き込む。

【0079】

続いて、第2信号線X2に隣接する第3信号線X3を選択する第3信号線選択期間において、CPU901は、第1スイッチ904に対して、読取回路903を選択するような制御信号を出力するとともに、第2スイッチ905に対して、接続パッドPD2に接続されたプローブPR2を選択するような制御信号を出力する。また、このとき、CPU901は、選択回路170に対して、スイッチSW2の出力端子OUT2を第3信号線X3の入力端子2Aに接続するような制御信号を出力する。

【0080】

このような第3信号線選択期間において、CPU901は、読取回路903を制御して第3信号線X3からの出力信号を読み取る。

【0081】

CPU901は、第3信号線X3から所定のアナログ信号を検出した場合に、第2信号線X2と第3信号線X3とが短絡していると判断し、第3信号線X3か

ら信号を検出しなかった場合に、第2信号線X2と第3信号線X3との間に短絡が生じていないものと判断する。

【0082】

以下、同様にして、互いに隣接する2本の信号線をペアとし、一信号線選択期間において、一方の信号線に対してアナログ信号を書き込み、次の信号線選択期間において、他方の信号線からの出力信号を読み取ることにより、ペアの信号線間の短絡を検出することが可能となる。

【0083】

したがって、検査用のパッドの数を従来の半分以下とすることが可能となり、画素を高精細化した場合であってもパッドを配置するスペースの確保が容易となるとともに、多結晶シリコンTFTを用いた利点を有効に活用することが可能となる。

【0084】

また、検査用パッドの数の減少に伴って、プローブの数も減少することができ、コストアップすることなくメンテナンスが容易な検査用回路を提供することが可能となる。

【0085】

次に、上述したような表示装置において、アレイ基板100の信号線X（1、2、3…）の断線を検査する検査方法について説明する。

【0086】

図12及び図13に示すように、まず、アレイ基板100に検査用回路900を接続する。この検査用回路900のCPU901は、書込回路902、読取回路903、第1スイッチ904、第2スイッチ905、アレイ基板100の選択回路170、及びアレイ基板100の切換回路950に対してそれぞれ所定のタイミングで制御信号を出力する。

【0087】

アレイ基板100に一体に形成された選択回路170は、各信号線X（1、2、3…）の一端に配置されているとともに、アレイ基板100に一体に形成された切換回路950は、各信号線X（1、2、3…）の他端に配置されている。こ

の切換回路 9 5 0 は、隣接する信号線の導通を ON / OFF するスイッチ 9 5 0 - 1、9 5 0 - 2 … を有している。

【 0 0 8 8 】

まず、互いに隣接する第 1 信号線 X 1 と第 2 信号線 X 2 との短絡を検査する検査方法について説明する。これら第 1 信号線 X 1 及び第 2 信号線 X 2 は、選択回路 1 7 0 の同一スイッチ SW 1 によって選択され、同一の接続パッド PD 1 を介してアナログ信号の書き込み及び読み取りを行う。

【 0 0 8 9 】

すなわち、第 1 信号線 X 1 を選択する第 1 信号線選択期間において、CPU 9 0 1 は、図 1 2 に示すように、第 1 スイッチ 9 0 4 に対して、書込回路 9 0 2 を選択するような制御信号を出力するとともに、第 2 スイッチ 9 0 5 に対して、接続パッド PD 1 に接続されたプローブ PR 1 を選択するような制御信号を出力する。

【 0 0 9 0 】

また、このとき、CPU 9 0 1 は、選択回路 1 7 0 に対して、スイッチ SW 1 の出力端子 OUT 1 を第 1 信号線 X 1 の入力端子 1 A に接続するような制御信号を出力する。さらに、このとき、CPU 9 0 1 は、切換回路 9 5 0 に対して、第 1 信号線 X 1 と第 2 信号線 X 2 とを導通するように、スイッチ 9 5 0 - 1 を ON する制御信号を出力する。

【 0 0 9 1 】

このような第 1 信号線選択期間において、CPU 9 0 1 は、書込回路 9 0 2 を制御して第 1 信号線 X 1 に所定のアナログ信号を書き込む。

【 0 0 9 2 】

続いて、第 1 信号線 X 1 に隣接する第 2 信号線 X 2 を選択する第 2 信号線選択期間において、CPU 9 0 1 は、図 1 3 に示すように、第 1 スイッチ 9 0 4 に対して、読取回路 9 0 3 を選択するような制御信号を出力するとともに、第 2 スイッチ 9 0 5 に対して、接続パッド PD 1 に接続されたプローブ PR 1 を選択するような制御信号を出力する。

【 0 0 9 3 】

また、このとき、CPU901は、選択回路170に対して、スイッチSW1の出力端子OUT1を第2信号線X2の入力端子1Bに接続するような制御信号を出力する。さらに、このとき、CPU901は、切換回路950に対して、第1信号線X1と第2信号線X2とを導通するように、スイッチ950-1をONする制御信号を出力する。

【0094】

このような第2信号線選択期間において、CPU901は、読取回路903を制御して第2信号線X2からの出力信号を読み取る。

【0095】

CPU901は、第2信号線X2から所定のアナログ信号を検出した場合に、第1信号線X1及び第2信号線X2に断線が生じていないものと判断し、第2信号線X2から信号を検出なかった場合に、第1信号線X1及び第2信号線X2の少なくとも一方に断線が生じているものと判断する。

【0096】

以下、同様にして、第3信号線X3-第4信号線X4、第5信号線X5-第6信号線X6…のように、互いに隣接する2本の信号線をペアとし、これらのペアの信号線を導通状態として、一信号線選択期間において、一方の信号線に対してアナログ信号を書き込み、次の信号線選択期間において、他方の信号線からの出力信号を読み取る。これにより、ペアの信号線の断線を検出することが可能となる。

【0097】

したがって、検査用のパッドの数を従来の半分以下とすることが可能となり、画素を高精細化した場合であってもパッドを配置するスペースの確保が容易となるとともに、多結晶シリコンTFTを用いた利点を有効に活用することが可能となる。

【0098】

また、検査用パッドの数の減少に伴って、プローブの数も減少することができ、コストアップすることなくメンテナンスが容易な検査用回路を提供することが可能となる。

【 0 0 9 9 】

【発明の効果】

以上説明したように、この発明によれば、画素の高精細化が可能な表示装置の短絡及び断線を検査する検査方法であって、検査用回路のコストをアップすることなくメンテナンスが容易な表示装置の検査方法を提供することができる。

【図面の簡単な説明】

【図 1】

図 1 は、この発明の表示装置の一実施の形態に係る液晶表示装置の構成を概略的に示す図である。

【図 2】

図 2 は、図 1 に示した液晶表示装置の一辺に設けられる T C P の構成を概略的に示す図である。

【図 3】

図 3 は、図 1 に示した液晶表示装置の信号線駆動回路の構成を概略的に示す図である。

【図 4】

図 4 は、図 1 に示した液晶表示装置の各画素にデータ信号を書き込む際のタイミングチャートを示す図である。

【図 5】

図 5 は、図 1 に示した液晶表示装置の各画素にデータ信号を書き込む際のタイミングチャートを示す図である。

【図 6】

図 6 は、図 1 に示した液晶表示装置の一辺に設けられる T C P の構成を概略的に示す図である。

【図 7】

図 7 は、図 1 に示した液晶表示装置のアレイ基板の一端側に設けられた配線パッドの構成を概略的に示す図である。

【図 8】

図 8 は、図 1 に示した液晶表示装置のアレイ基板の中央部に設けられた配線パ

ッドの構成を概略的に示す図である。

【図 9】

図 9 は、図 1 に示した液晶表示装置のアレイ基板の他端側に設けられた配線パッドの構成を概略的に示す図である。

【図 1 0】

図 1 0 は、この発明の表示装置の検査方法における 2 信号線間の短絡を検査する際の信号書込時の回路構成を概略的に示す図である。

【図 1 1】

図 1 1 は、この発明の表示装置の検査方法における 2 信号線間の短絡を検査する際の信号読取時の回路構成を概略的に示す図である。

【図 1 2】

図 1 2 は、この発明の表示装置の検査方法における 2 信号線間の断線を検査する際の信号書込時の回路構成を概略的に示す図である。

【図 1 3】

図 1 2 は、この発明の表示装置の検査方法における 2 信号線間の断線を検査する際の信号読取時の回路構成を概略的に示す図である。

【符号の説明】

- 1 …液晶表示装置
- 1 0 0 …アレイ基板
- 1 1 0 …多結晶シリコン薄膜トランジスタ
- 1 5 0 …ゲート線駆動回路
- 1 6 0 …信号線駆動回路
- 1 7 0 …選択回路
- 2 0 0 …対向基板
- 3 0 0 …液晶層
- 5 1 1 …信号線駆動用 I C
- 9 0 0 …検査用回路
- 9 0 1 …C P U
- 9 0 2 …書込回路

9 0 3 …読取回路

9 0 4 …第 1 スイッチ

9 0 5 …第 2 スイッチ

9 5 0 …切換回路

X (1、 2、 …) …信号線

P D (1、 2、 …) …接続パッド

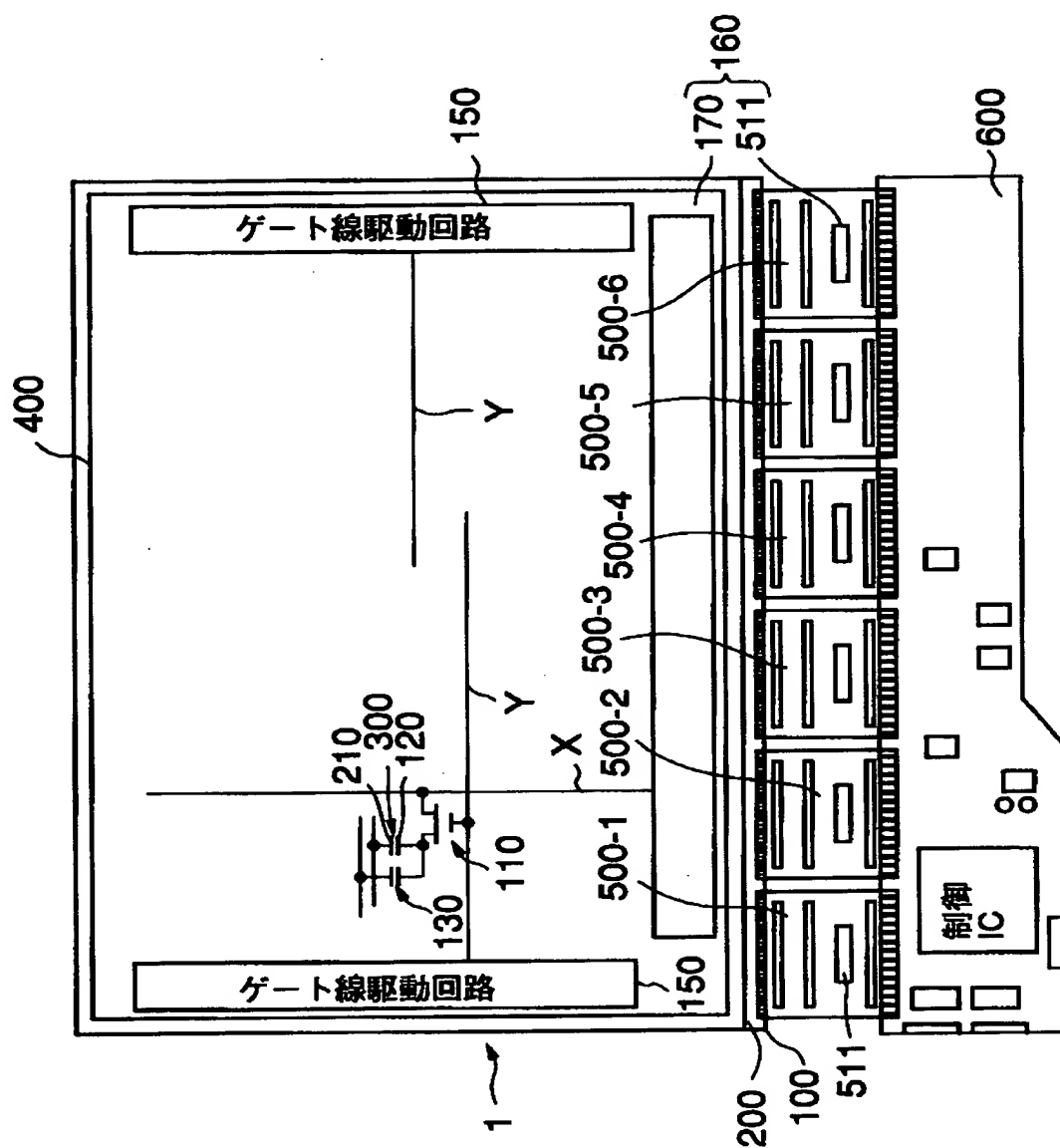
P R (1、 2、 …) …プローブ

S W (1、 2、 …) …スイッチ

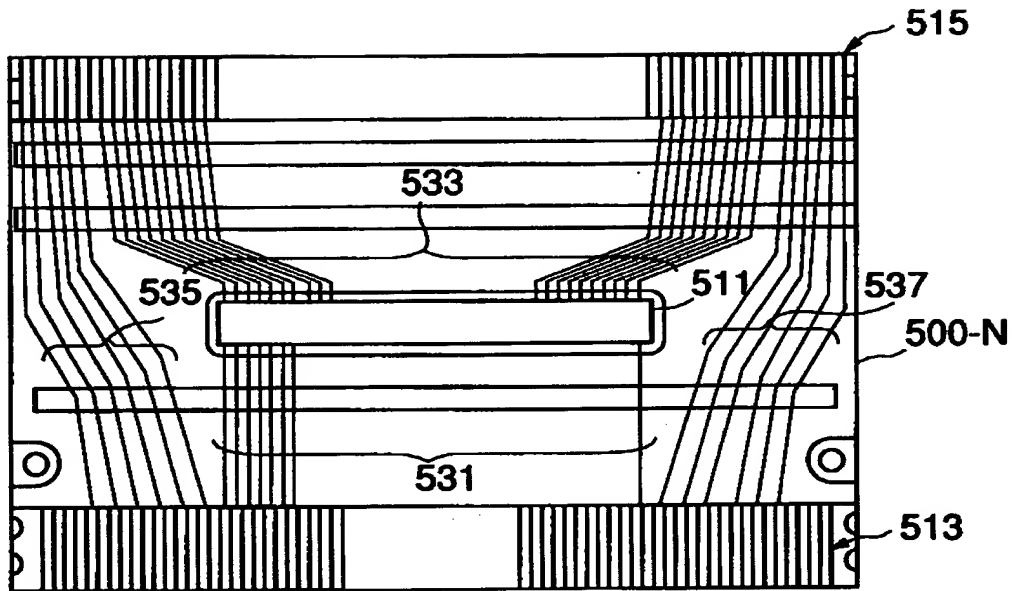
【書類名】

図面

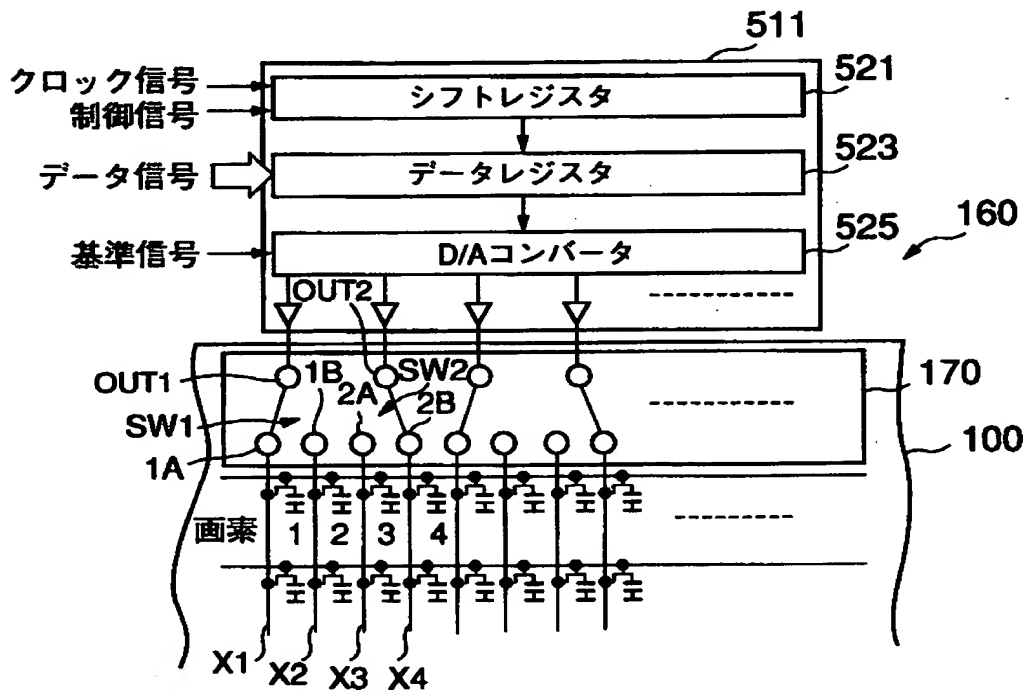
【圖 1】



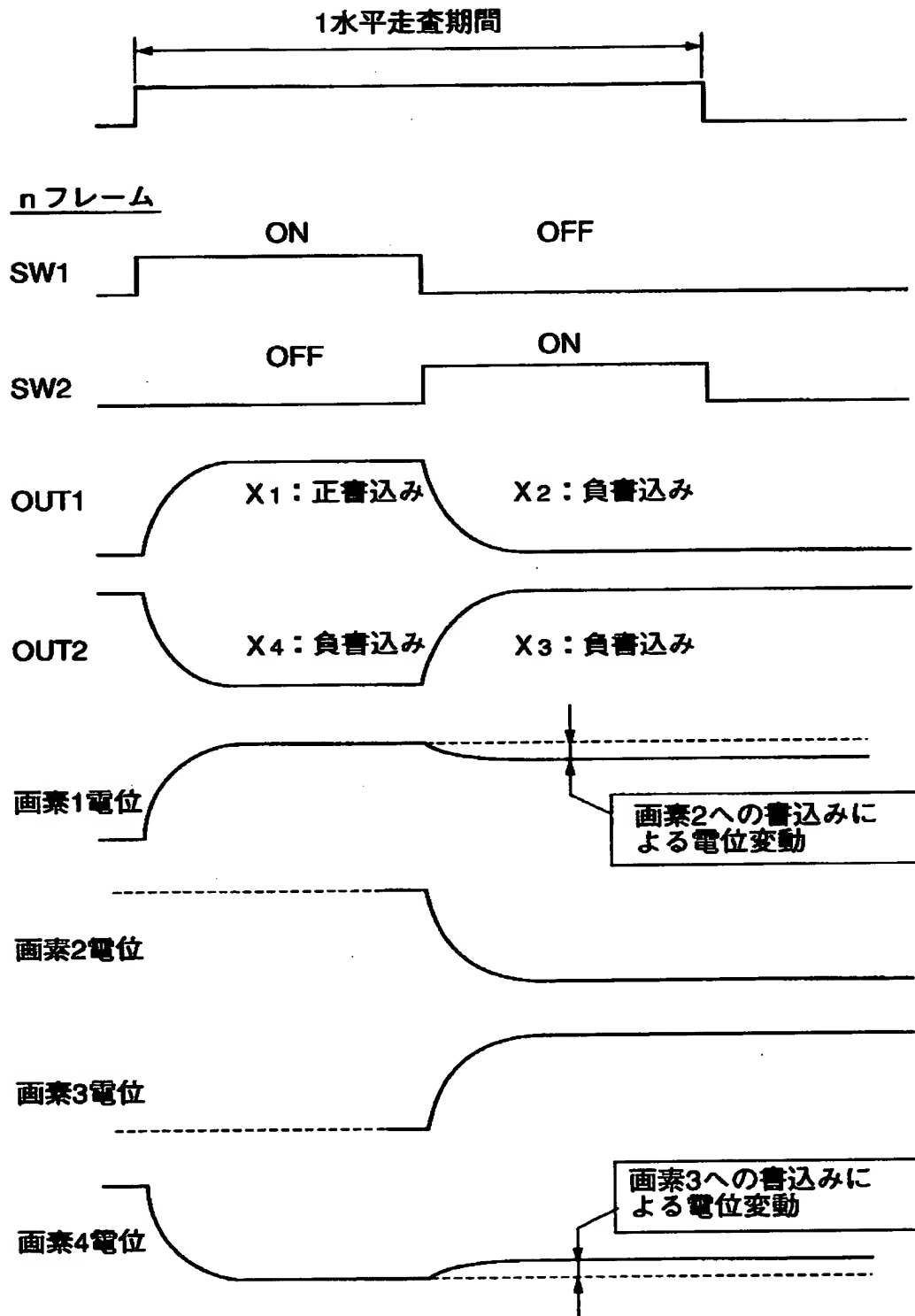
【図 2】



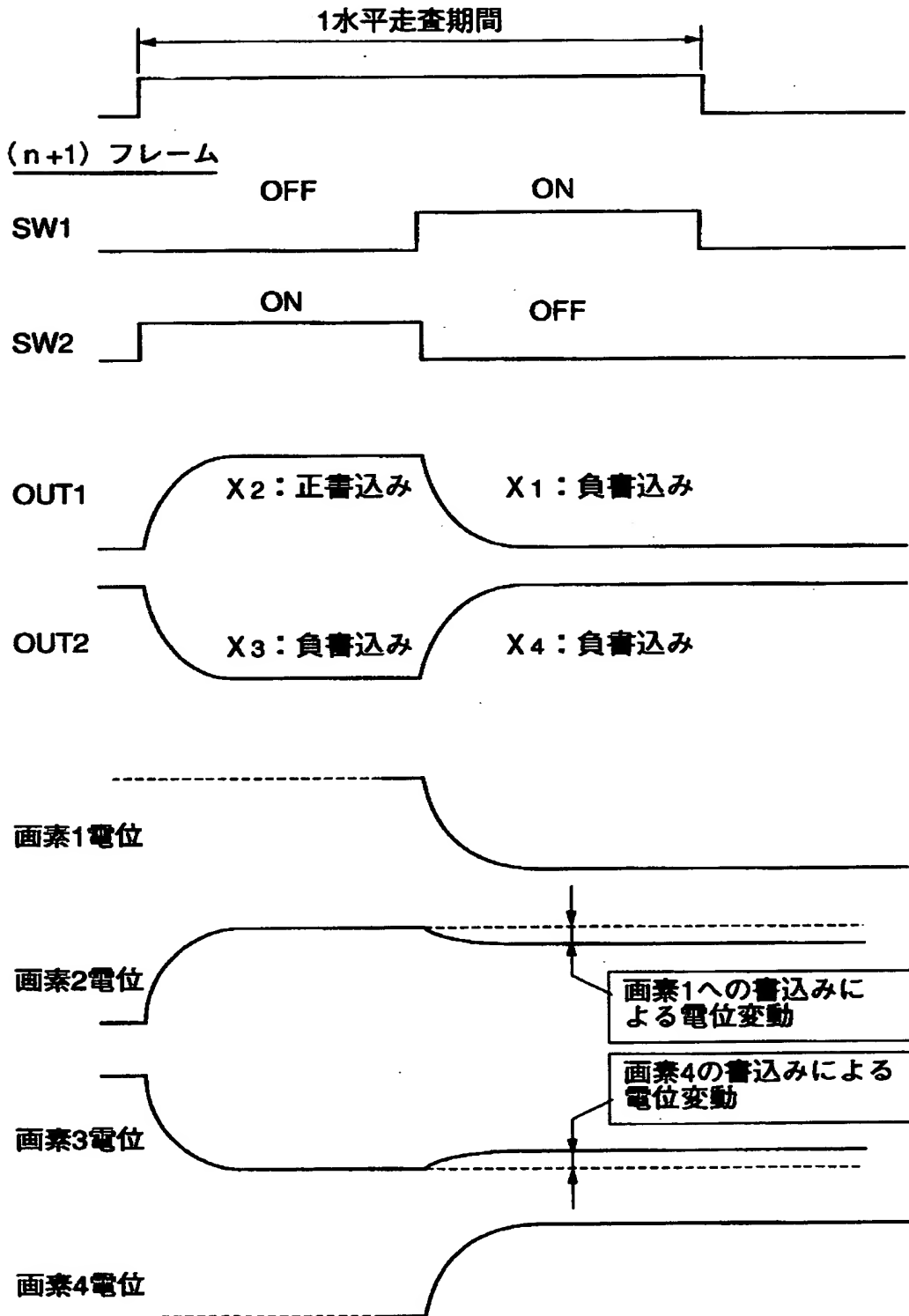
【図 3】



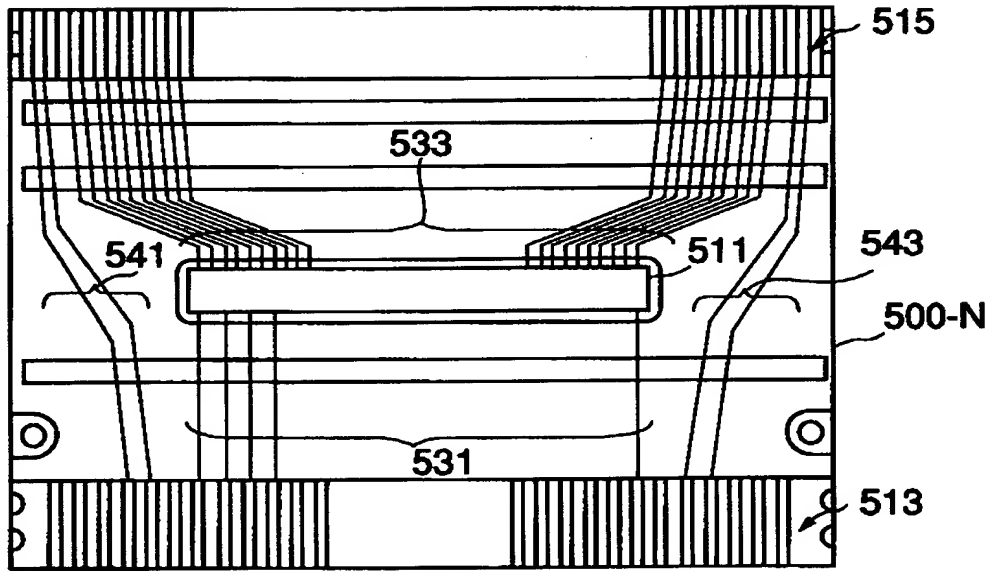
【図 4】



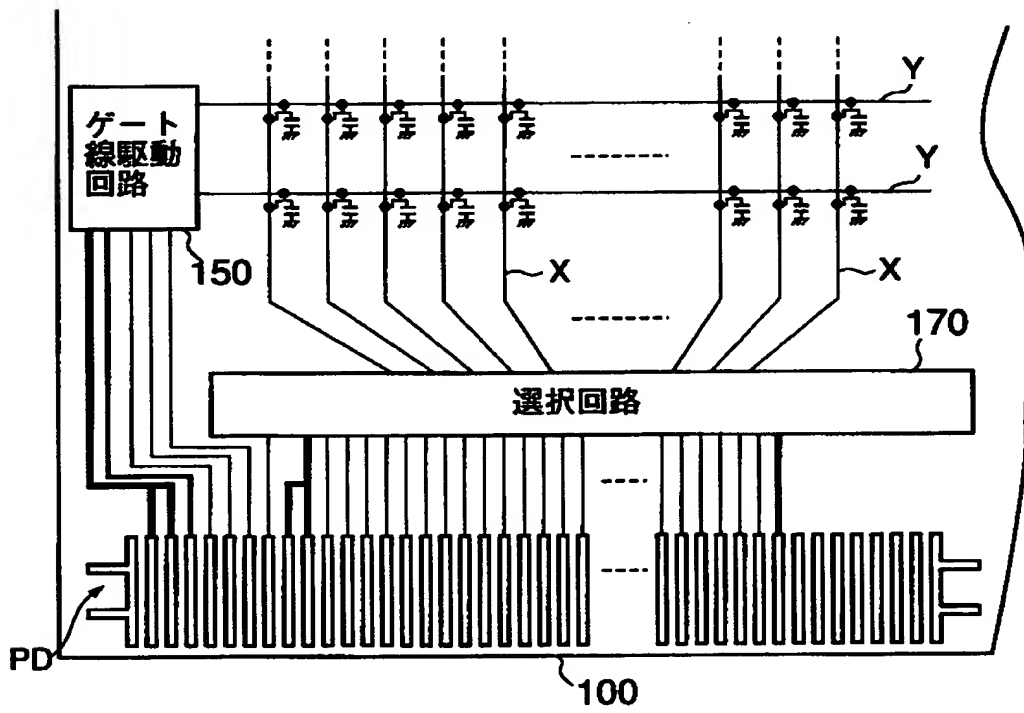
【図 5】



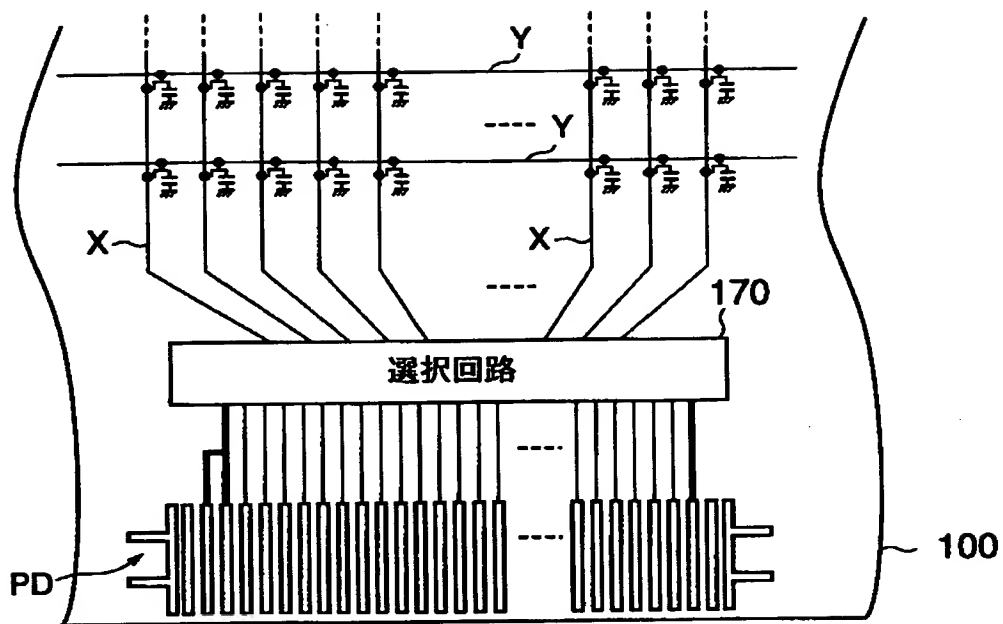
【図 6】



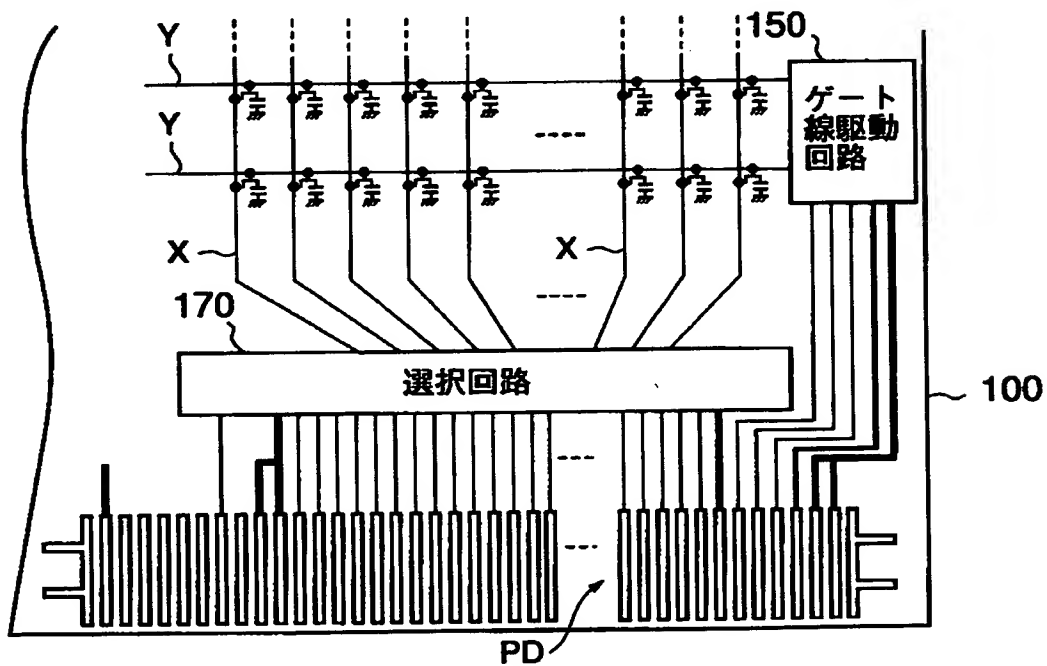
【図 7】



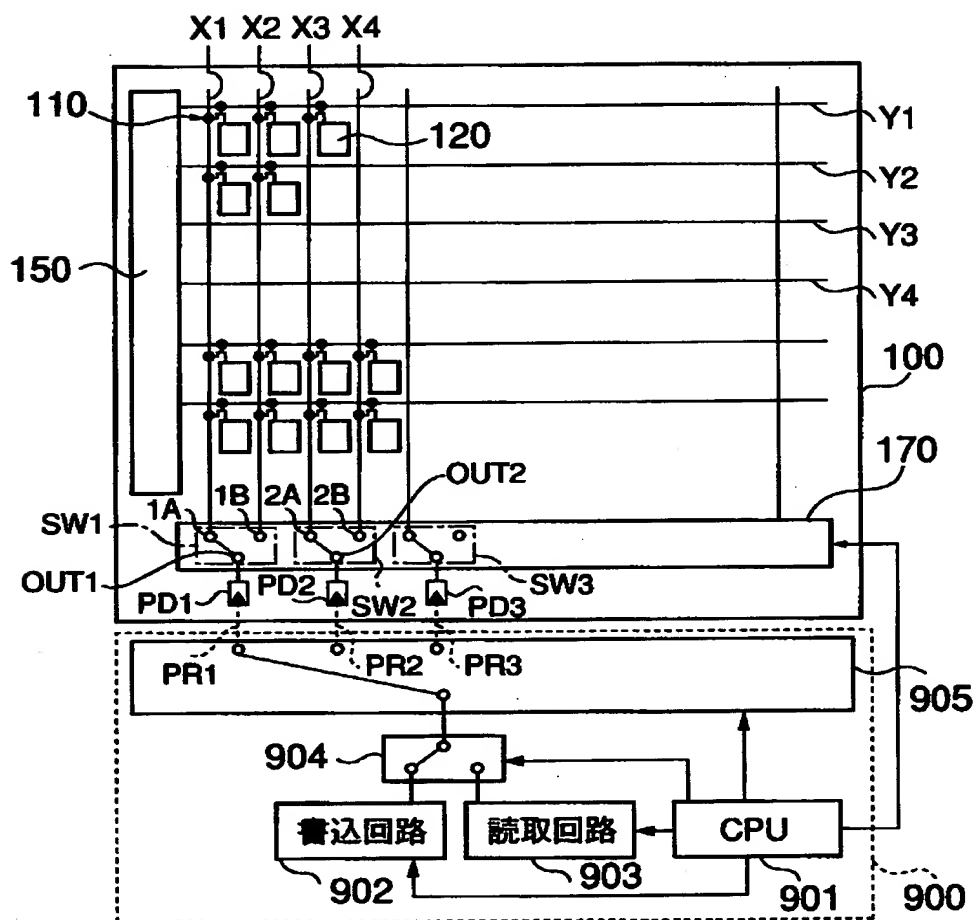
【図 8】



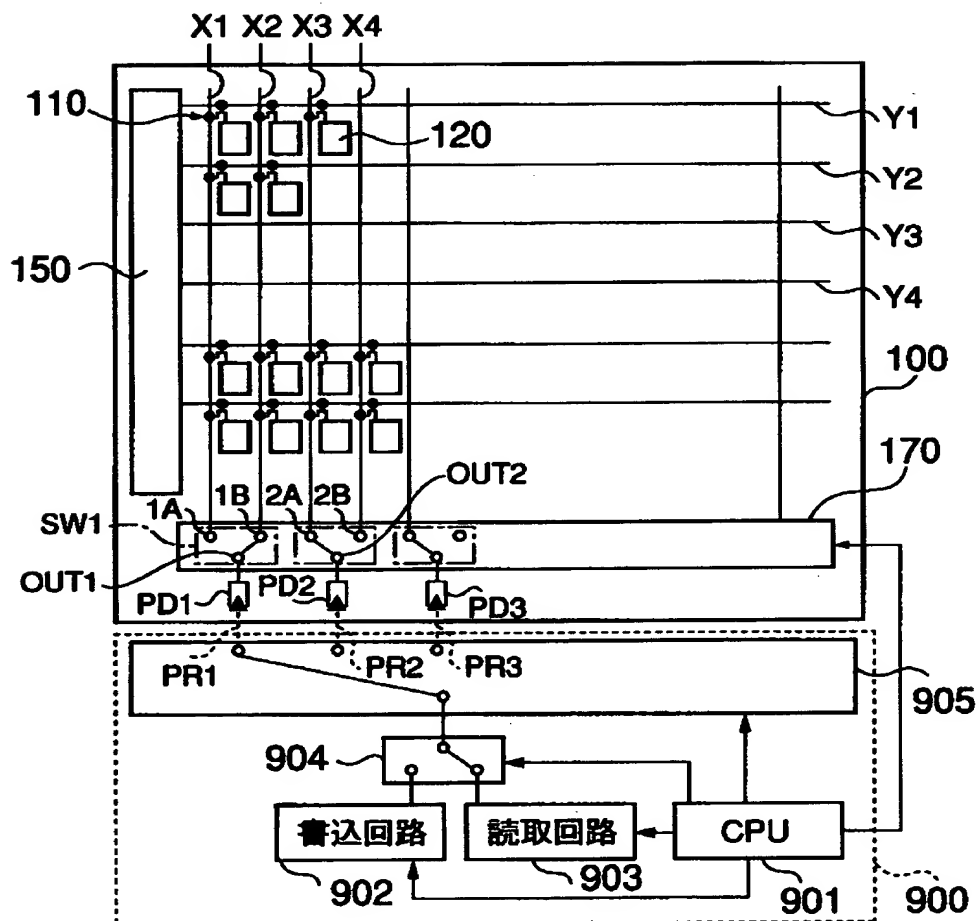
【図 9】



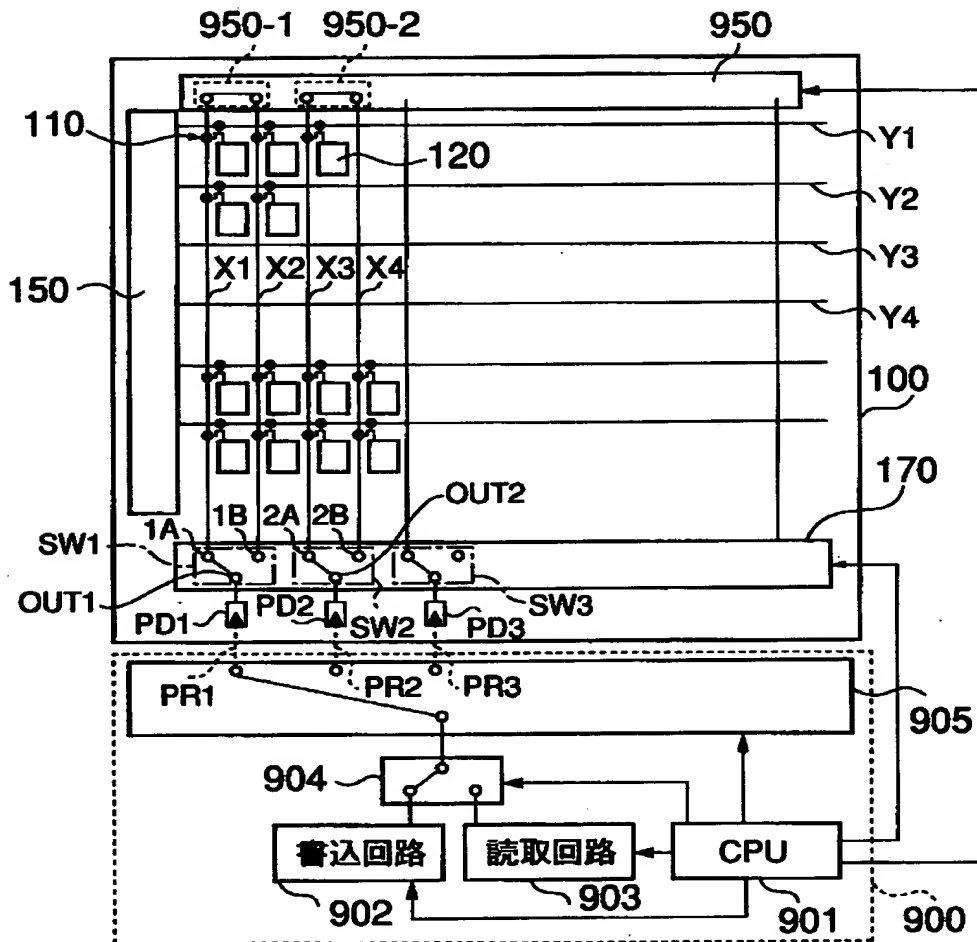
【図 1 0】



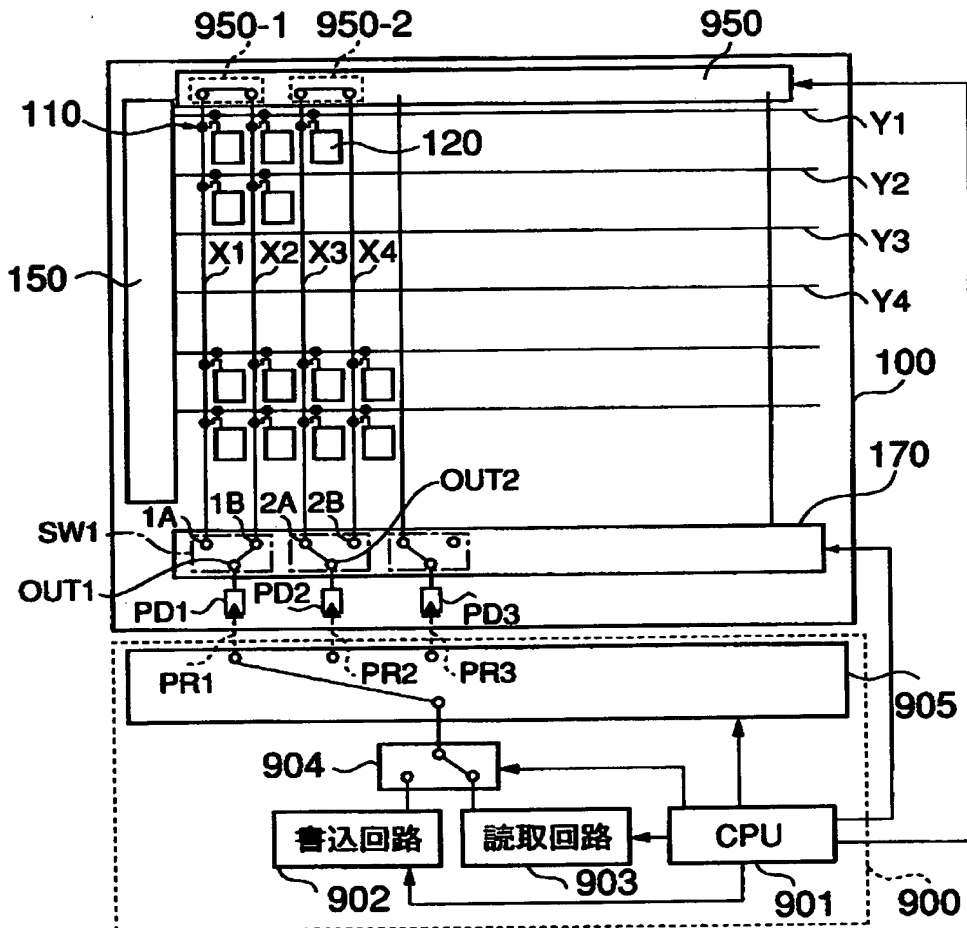
【図 1 1】



【図 1 2】



【図 1 3】



【書類名】 要約書

【要約】

【課題】画素の高精細化が可能な表示装置の短絡及び断線を検査する検査方法であって、検査用回路のコストをアップすることなくメンテナンスが容易な表示装置の検査方法を提供することを目的とする。

【解決手段】互いに隣接する第1信号線X1及び第2信号線X2をペアとし、一信号線選択期間において、検査用回路900のCPU901は、書込回路902を制御して、選択回路170のスイッチSW1が選択した第1信号線X1に対してアナログ信号を書き込む。次の信号線選択期間において、CPU901は、読取回路903を制御して、スイッチSW1が選択した第2信号線X2からの出力信号を読み取る。CPU901は、第2信号線X2からの出力信号に基づいて、ペアの信号線間の短絡を検出する。

【選択図】 図10

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	神奈川県川崎市幸区堀川町72番地
氏 名	株式会社東芝